컴퓨터 구조

2013210061

채윤병

Lab Session 6

**Sr\_latch.v**

module sr\_latch(s,r,q,qbar);

input s,r;

output q,qbar;

nand n1(q,s,qbar);

nand n2(qbar,r,q);

endmodule

**DFF.v**

`include "sr\_latch.v"

module DFF(Clk, D, Q, Qbar);

input Clk, D;

output Q, Qbar;

wire S,R;

wire sr00\_Q , sr00\_Qbar , sr01\_Qbar ,sr01\_Q , sr02\_Qbar ,sr02\_Q;

wire D, andinput;

assign S = sr00\_Qbar;

assign R = sr01\_Q;

and(andinput, Clk, sr00\_Qbar);

sr\_latch sr00(sr01\_Qbar,Clk,sr00\_Q,sr00\_Qbar);

sr\_latch sr01(andinput,D,sr01\_Q,sr01\_Qbar);

sr\_latch sr02(S,R,sr02\_Q,sr02\_Qbar);

assign Q = sr02\_Q;

assign Qbar = sr02\_Qbar;

endmodule

**tb4dff.v**

`include "DFF.v"

module tb4dff;

wire Q, Qbar;

reg D, clk;

DFF dff00 (clk, D, Q, Qbar);

initial

begin

$monitor ($time, "clk = %b, D = %b, Q = %b, Qbar = %b", clk, D, Q, Qbar);

clk = 1'd1;

D = 1'd0;

#15

D = 1'd1;

#15

D = 1'd0;

#15

D = 1'd1;

#15

D = 1'd0;

#15

D = 1'd1;

#15

D = 1'd0;

#15

D = 1'd1;

#15

$stop;

end

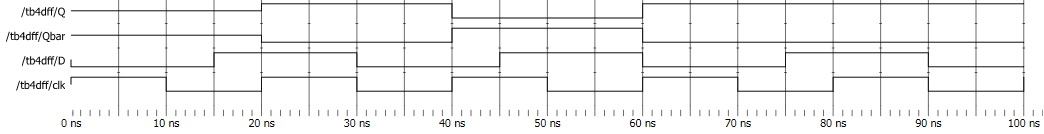
always

begin

#10 clk = ~clk;

end

endmodule



위의 소스는 SR 래치 모듈을 이용해서 만든 D 플립플롭이다. D 플립플롭의 입력은 데이터 입력 D와 클럭 입력 clk가 있다. Clk은 규칙적으로 변한다. Clk이 상승할 때만 D의 입력을 Q로 그대로 출력하기 때문에 20초, 40초, 60초, 80초 구간에서만 Q와 Qbar가 변하는 것을 확인할 수 있다. 그 외의 구간에서는 Q가 변하지 않고 값을 유지하며 첫 번째 값을 출력하는 20초 이전의 구간에서는 Q와 Qbar는 아무런 출력도 하지 않는 것을 확인할 수 있다. 여기서 주목할 점은 60초 구간인데 60초 구간에서 D가 0을 입력받고 clk도 상승할 때 우리는 Q가 무슨 값을 출력하는 지 주목할 필요가 있다. 60초 구간을 확인해 보면 Q는 D가 바뀌기 전의 값을 출력함을 알 수 있다.

2~3회 반복해도 60초 구간의 Q값은 일정했다. 하지만 만약 회로를 설계한 사람이 바뀐 D값을 Q값으로 출력하고 싶었다면 어떤 설정을 해야할 지 찾기가 어려웠다. 그리고 회로마다 다른 출력은 갖지 않을까 궁금했지만 modelsim 체계 안에서는 바뀌기 전의 D를 항상 출력하는 것으로 추론됬다.